

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-078138

(43)Date of publication of application : 21.04.1986

(51)Int.Cl.

H01L 21/88

H01L 21/316

H01L 21/94

(21)Application number : 59-199492

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.09.1984

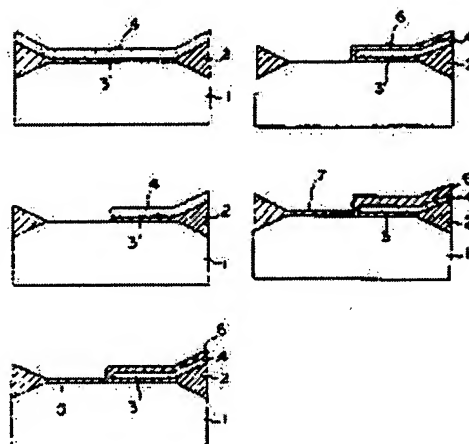
(72)Inventor : ANRAKU KAZUHIRO  
KURACHI IKUO  
YANAI TETSURO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To raise the interlayer insulating withstand voltage by a method wherein a thermal oxidation is performed on the first polycrystalline silicon layer and the substrate at low temperatures, whereby the oxide film is formed and after the oxide film on the substrate is removed, a thermal oxidation is performed at high temperatures and the interlayer insulating film and the second gate oxide film are formed.

**CONSTITUTION:** Field oxide films 2, a first gate oxide film 3 and a first polycrystalline silicon layer 4 are formed in order on a single crystal silicon substrate 1. Then, an etching is performed on the first polycrystalline silicon layer 4 and the first gate oxide film 3, and by performing a vapor oxidation on the surface of the substrate 1 and the first polycrystalline silicon layer 4 at low temperatures, a polycrystalline silicon oxide film 6 and an oxide film 5 are formed. Then, when an etching is performed on the oxide film 5 and the polycrystalline silicon oxide film 6 to a degree that the substrate 1 is made to expose, the polycrystalline silicon oxide film 6 remains as the oxide film 6 is thicker than the oxide film 5. After this, when a thermal oxidation is performed at high temperatures, a second gate oxide film 7 is formed on the substrate 1, and at the same time, the polycrystalline silicon oxide film 6 becomes a thicker as the first polycrystalline silicon layer 4 is oxidized through the polycrystalline silicon oxide film 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 昭61-78138

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月21日

H 01 L 21/88  
21/316  
21/946708-5F  
7739-5F  
7739-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-199492

⑰ 出 願 昭59(1984)9月26日

⑱ 発 明 者 安 楽 一 宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑱ 発 明 者 倉 知 郁 生 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑱ 発 明 者 矢 内 鉄 朗 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑳ 代 理 人 弁理士 鈴木 敏明

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

フィールド酸化膜が形成された半導体基板上に第1のゲート酸化膜およびポリシリコン層を選択的に形成する工程と、

前記ポリシリコン層および半導体基板を酸化することにより第2のゲート酸化膜および層間絶縁膜を形成する工程とを含む半導体装置の製造方法において、

前記ポリシリコン層および半導体基板を低温で水蒸気酸化する工程と、該工程でできた前記半導体基板上の酸化膜を除去する工程と、その後酸化された前記ポリシリコン層と半導体基板を高温で熱酸化することにより第2ゲート酸化膜と層間絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は多層ポリシリコン構造を有する半導体装置の製造方法に関するものである。

(従来の技術)

現在、半導体装置においては高集積化が進んでおり、特にMOS構造のダイナミックRAM(以下DRAMと略す)においては64kDRAM→256kDRAM→1MDRAMとめざましく高集積化している。このようなDRAMの高集積化をはかるために、セルサイズを縮小するさまざまな努力が払われている。この一例として、MOSキャパシタの面積あたりの容量を大きくするために、誘電率の高い窒化膜をゲート膜の一部として用いた窒化膜ゲートの多層ポリシリコン構造があげられる。

このような多層ポリシリコン構造を有する半導体装置、特にMOS型DRAMにおいては、第1のポリシリコン層と第2のポリシリコン層との層間絶縁膜として、第2のゲート酸化膜を形成する熱酸化工程で、同時に上記した第1のポリシリコン層を酸化し、酸化膜を形成している。素子の寄生容量を低減するためには、第1ポリシリコン層上に形

成した酸化膜の膜厚を厚くする必要があるが、素子の高集積化による素子の微細化にともない、第2のゲート酸化膜の膜厚は薄くしなければならぬ。

上述の点を鑑み、従来の多層ポリシリコン構造を有する半導体装置においては、ポリシリコン上の酸化レートが速く、単結晶シリコン上の酸化レートの遅い750~850℃の水蒸気酸化を用いて第2のゲート酸化膜および層間絶縁膜を形成する方法、あるいは、CVD技術を用いて基板全面に酸化膜を形成した後ホトリソグラフィ技術によって第1のポリシリコン層上以外の酸化膜を除去してから、第2のゲート酸化膜を熱酸化によって形成する方法が用いられている。

(発明が解決しようとする問題点)

しかしながら、上述したような従来技術において、水蒸気酸化による場合、第4図(a)に示すように第1のポリシリコン層4のサイドウォール部分の層間絶縁膜6の形状が悪化してしまう。またCVDによる酸化膜形成の場合、第4図(b)に示すよ

うにサイドウォール部分の層間絶縁膜6の膜厚が薄くなってしまい、層間絶縁耐下が劣化するという欠点があった。

なお、第4図(a)、(b)において1はシリコン単結晶基板、3は第1のゲート酸化膜、7は第2のゲート酸化膜である。

(問題点を解決するための手段)

この発明では第1のポリシリコン層と基板を低温で熱酸化することによって酸化膜を形成し、基板上の酸化膜を除去後に高温で熱酸化して層間絶縁膜および第2のゲート酸化膜を形成する。

(作用)

低温酸化によって形成された第1のポリシリコン上の酸化膜(層間絶縁膜)は高温酸化によってさらに厚くなると同時に、サイドウォール部分の形状もくびれなどが発生しない。

(実施例)

第1図(a)~(g)はこの発明の一実施例を説明するための工程断面図である。以下この第1図(a)~(g)に従って実施例を説明する。

まず、第1図(a)に示すように単結晶シリコン基板(以下基板と略す)1上にフィールド酸化膜2、第1のゲート酸化膜3、第1のポリシリコン層4を順次形成する。ここでフィールド酸化膜2は選択酸化法、第1のゲート酸化膜3は熱酸化法、第1のポリシリコン層4はCVD法など公知の技術で形成できる。この後、第1のポリシリコン層4に導電性をもたせるため、リンなどの不純物を熱拡散法によって $2 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の高濃度導入する。

次に第1図(b)に示すように第1のゲート電極および配線となる部分以外の第1のポリシリコン層4をエッチングする。そして残った第1のポリシリコン層4をマスクとして第1のゲート酸化膜3をエッチングする。

このエッチングによって露出した基板1の表面および第1のポリシリコン層4上にたとえば750~850℃の低温で水蒸気酸化を行なうことにより、第1図(c)に示すように、第1のポリシリコン層4上には1200~2000Åのポリシリコン酸化膜6

が、基板1上には300~500Åの酸化膜5が形成される。

次に第1図(d)に示すように基板1が露出する程度に酸化膜5およびポリシリコン酸化膜6をエッチングする。このとき上述したようにポリシリコン酸化膜6は酸化膜5より厚いため、ポリシリコン酸化膜6が900~1500Åの厚さだけ残る。

この後950~1050℃の高温で熱酸化することにより、基板1上には200~500Åの第2のゲート酸化膜7が形成されると同時に、ポリシリコン酸化膜6を介して第1のポリシリコン層4が酸化されるため、ポリシリコン酸化膜6は厚くなり、1200~2000Åとなる。(第1図(e))またこの時、酸化温度が高温であるためにポリシリコン酸化膜(層間絶縁膜)6は第2図に示すように界面近傍でのくびれが発生しないサイドウォールを形成する。

さらに第1図(f)に示すように全面に第2のポリシリコン層8を堆積させ、導電性をもたせるためにリン等の不純物を導入する。

その後、第1図(d)に示すようにパターンニングにより第2のポリシリコン層8からなる第2のゲート電極および配線を形成する。

しかる後、図示しないが、基板1へ不純物を導入し、中間絶縁膜、配線用金属パターン、保護用酸化膜を公知の技術で形成し、MOS型半導体装置を完成する。

ここで、この実施例および、従来方法による層間絶縁膜の層間耐圧を比較する図を第3図に示す。

この図から明らかなように、この実施例では層間耐圧が大幅に向上している。

#### (発明の効果)

以上説明したように、この発明によれば第1のポリシリコン層上に厚いポリシリコン酸化膜が形状よく形成されるため、層間絶縁耐圧が高く、しかも寄生容量の低い多層ポリシリコン構造を有する半導体装置が製造できる。

さらに、この発明によれば、第2のゲート酸化膜の形成前に第2のゲートアクティブ領域のシリコン単結晶基板表面を熱酸化後にできた酸化膜を

除去しているため、第1のポリシリコン層のエッチング時に上記アクティブ領域に残留したスト레스や結晶欠陥が除去され、第2のゲート酸化膜の耐圧向上にも効果がある。

#### 4. 図面の簡単な説明

第1図(a)~(d)はこの発明の一実施例を説明するための工程断面図、第2図はこの実施例による層間絶縁膜の形状を示す図、第3図は従来方法とこの実施例による層間絶縁膜の層間耐圧を比較する図、第4図は従来の方法による層間絶縁膜の形状を示す図である。

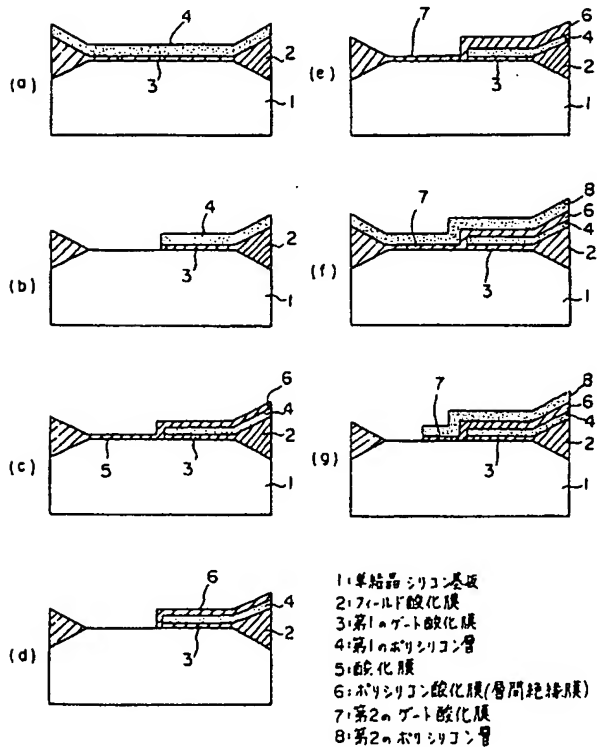
1…単結晶シリコン基板、2…フィールド酸化膜、3…第1のゲート酸化膜、4…第1のポリシリコン層、5…酸化膜、6…ポリシリコン酸化膜、7…第2のゲート酸化膜、8…第2のポリシリコン層。

特許出願人 沖電気工業株式会社

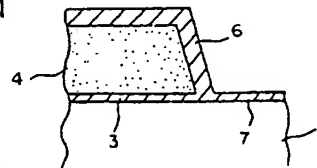
代理人 鈴木 敏 明



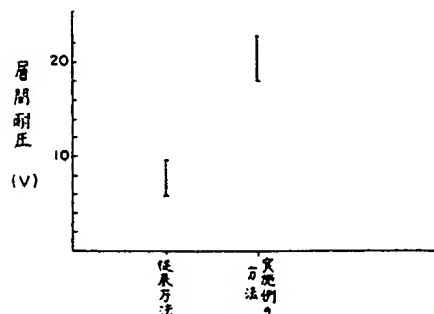
第1図



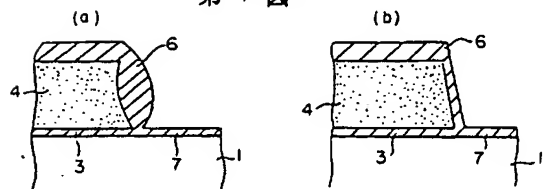
第2図



第3図



第4図



**THIS PAGE BLANK (USPTO)**